

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-216811

(43) 公開日 平成5年(1993)8月27日

(51) Int.Cl.<sup>5</sup>

G 0 6 F 13/36

識別記号

5 2 0 Z

庁内整理番号

9072-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全9頁)

(21) 出願番号 特願平4-258905

(22) 出願日 平成4年(1992)9月3日

(31) 優先権主張番号 7 6 1 0 8 3

(32) 優先日 1991年9月17日

(33) 優先権主張国 米国 (U S)

(71) 出願人 592089054

エヌ・シー・アール・インターナショナル・インコーポレイテッド

アメリカ合衆国 45479 オハイオ、デイトン サウス バターソン プールバード 1700

(72) 発明者 トーマス エフ. ハイル

アメリカ合衆国 29640 サウス カロライナ、イーズリ、ヒッコリー ウッド コート 101

(74) 代理人 弁理士 西山 善章

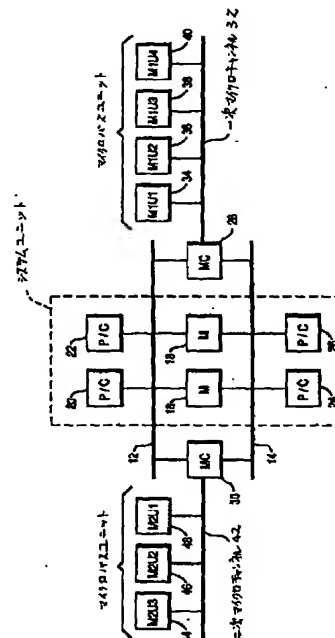
最終頁に続く

(54) 【発明の名称】 二バス間のトランザクションを制御する再試行方法

(57) 【要約】

【目的】 コンピュータシステムが、第一バスにつながるインターフェース回路および第二バスに接続された複数のバスマスターを含むときの、該第一バスの使用を最適化する再試行方法を与える。

【構成】 このインターフェース回路は第二バスがビジー状態にあるとビジー信号を発生する論理回路と、第二バスがビジー状態にあるときにバスマスターによりインターフェース回路がアドレス指定されると再試行信号を発生する論理回路とを含む。各バスマスターは論理回路を含み、該再試行信号を受信すると共通バスの制御を開放する。バス調停器も論理回路を含み、該ビジー信号を受信すると、ビジー信号が否定されるまでは第二バスへのアクセスを求めているいかなるバスマスターも共通第一バスの制御を求める調停に参加することを防止する。第一バスはこのようにしてビジー信号期間中、共有リソースへのアクセスをリクエストしていない任意のバスマスターにより制御される。ビジー信号の否定が起きるとすべてのバスマスターがバス所有権を求めて競うことが許される。



## 【特許請求の範囲】

【請求項1】共有リソースをもつ複数バスマスターを接続する共通バス上のデッドロックを防止する方法であって、

該共有リソースの利用可能性を感知するステップと該共有リソースへのアクセスを求めているバスマスターを同定するステップと、

該共有リソースが利用不可能であるときは該同定されたバスマスターが該バスの制御を求める調停に参加することを禁止するステップとを含むことを特徴とするデッドロック防止方法。

【請求項2】第一バスに接続された複数バスマスター、該第一バスへのバスマスターのアクセスを制御するバス調停器、および該第一バスおよび第二バス間の結合を与えるインターフェース回路を含むコンピューターシステムにおける装置であって、

該第二バスがビジー状態であるときはいつでも該バス調停器に与えるビジー信号を発生する、該インターフェース回路内に設けた論理回路と、

該共有リソースへのアクセスを求めるバスマスターが該ビジー信号を受信している間は該共通バスの制御を求める調停に該バスマスターが参加することを防止する、該調停器内に設けた論理回路とを含むことを特徴とする装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は多重バスを含むコンピューターシステムに関し、特に利用不可能な第二のバスに指向されたトランザクションを含んだ第一バス上のデッドロックを除去するための再試行方法に関する。

## 【0002】

【従来の技術】NCRコーポレーションはスケーラブル(scalable)コンピューターシステムアーキテクチャを開発した。これは従来のシステムアーキテクチャよりも多重プロセッサの能力を一層効果的に縮小拡大できる(scalable)ものである。このスケーラブルシステムアーキテクチャは従来のシステムアーキテクチャのもっていた多数の限界であるメモリおよびメモリバスを共有する多重プロセッサにより引き起こされる能力劣化(degradation)ならびにメモリ/キャッシュコヒーレンシーに関連するオーバーヘッドペナルティー等を認識して克服する。

【0003】この新規アーキテクチャの重要な特性は、(イ)メモリバスの利用性および物理的負荷を低減するための多重メモリバスの使用、(ロ)多重バスを援助すると共に異なるメモリデバイスの同時使用を可能にする多重ポート付きメモリの使用、(ハ)コヒーレンシーオーバーヘッドを顕著に低減するメモリベースコヒーレンシー方法の使用、(ニ)すべてのプロセッサに対称的に見えるシステムリソースの構成である。

【0004】二重システムバス12、14、前記二つのシステムバス間に接続された二つの二重ポート付きシステムメモリモジュール16、18、バス12に接続された二つのプロセッサモジュール20、22、およびシステムバス14に接続された二つのプロセッサモジュール24、26を採用するこのアーキテクチャの構成が図1に示してある。図1にはまた、二つのマイクロチャンネル入出力バス32、42およびそれぞれの入出力バス32、42をシステムバスに接続するインターフェースモジュール28、30が含まれる。

【0005】各インターフェースモジュールはシステムバス上に駐在するバスマスター(bus masters)(すなわちメモリモジュール16、18およびプロセッサモジュール20、22、24および26)と、一つの入出力バス上に駐在する番号34、36、38、40、44、46、48のマイクロチャンネルバスユニットとの間の通信路を与える。例えばプロセッサ22等のシステムバスマスターが入出力バス32上のマイクロチャンネルバスユニット36への書き込みアクセスを求めるとき、それは最初にシステムバス12の使用を求める調停を求めなければならない。インターフェースモジュール28はシステムバス12の制御を取得すると、次に入出力バス32の使用するための調停を求める。もしも入出力バス32が利用可能であればプロセッサ22のリクエストは直ちに実現される。

【0006】しかしながら、通常のオペレーション期間中は、入出力バス32が利用不可能である、言い換えると「ビジー(busy)」であるときがある。例えば入出力バス32は、(1)バスがバスユニット34、36、38、40の一つにより所有されているとき、(2)入出力バス32上に駐在するあるバスユニットにシステムバス14上のプロセッサによるアクセスが行われているとき、(3)システムバス14上のあるプロセッサが入出力バス32のバスユニットへのロックされたサイクルシーケンス(セマフォアオペレーション、semaphore operation)を実行しているとき、または(4)インターフェースモジュール28が、システムバス12または14上のプロセッサにより以前にポスト(post)された(バッファされた)入出力バス32のバスユニットへの書き込みサービスをしているとき、が例に挙げられる。

【0007】伝統的なシステムではビジー入出力バスへのアクセスが一旦開始されると、目標リソースはそのリソースが利用可能となるまでそのアクセスを無期限に待機状態に保持する。従って上記の例ではプロセッサ22、システムバス12およびインターフェースモジュール28は、入出力バス32が利用可能となるまで待機状態に置かれ、他のトランザクションを行うことができないことになろう。プロセッサ20もまたメモリモジュール16、18およびインターフェースモジュール30へのアドレス指定をすることが禁止されるであろう。さら

にプロセッサモジュール20または22の一つがマイクロチャンネルバスマスターによるシステムバス12へのリクエストと同時に入出力バス32へのアクセスをリクエストする場合にはシステムデッドロックが起きるであろう。

【0008】

【発明が解決しようとする課題】それゆえ、本発明は多重バスを含むコンピューターシステム内の性能を増大する新規かつ有用な方法を与えることを課題とする。

【0009】本発明の別の課題は利用不可能な第二バス10に指向されたトランザクションを含んだ第一バス上のデッドロックを除去する方法を与えることである。

【0010】さらに本発明の別の課題はコンピューターシステム内のバス間の新規有用なインターフェースを与えることである。

【0011】本発明のさらに別の課題は、バス上のデッドロック状態を除去すべくコンピューターシステム内のバス間のトランザクションを組織化する「ビジー」信号および「再試行」信号を発生する論理回路を与えることである。

【0012】本発明のさらに別の課題はコンピューターシステム間のトランザクションを組織化するための新規有用な再試行方法を与えることである。

【0013】

【課題を解決するための手段】本発明によれば共通のバスを介して共有のリソースに接続された複数バスマスターを含むのみならず共通バスへのバスマスターのアクセスを制御するためのバス調停器を含むコンピューターシステムにおいて、共通バスの使用を最適化する方法が与えられる。この方法は共有リソースが利用不可能な状態にあるときはいつでもビジー信号を発生するステップと、そのビジー信号をバス調停器に与えるステップと、その共有リソースへのアクセスを求めているバスマスターが該調停器によるビジー信号を受信している間は共通バスの制御を求める調停に該バスマスターが参加することを防止するステップとを含む。ビジー信号が否定されたときはすべてのバスマスターがバス所有権を求めて競うことが許される。

【0014】開示した実施例の共有リソースは第二バスに共通のバスを接続するインターフェース回路を含む。このインターフェース回路は、この第二バスがビジー状態にあるときはビジー信号を発生する論理回路と、第二バスがビジー状態にあるときにバスマスターがインターフェース回路をアドレス指定したときは再試行信号を発生する論理回路とを含む。各バスマスターはその再試行信号を受信するための、かつインターフェース回路から再試行信号を受信したときに共通バスの制御を解除するための、論理回路を含む。バスマスターはビジー信号を受信するための、かつそのビジー信号が否定されるまでは第二バスへのアクセスを求めるいかなるバスマスター

も共通第一バスの制御を求める調停に参加できなくするための論理回路を含む。

【0015】本発明の上記その他の課題、特徴、および利点は以下の説明および添付の図面から明らかになるう。

【0016】

【実施例】コンピューターシステムに供するスケーラブルシステムアーキテクチャの一実施例が図1に簡単なブロック線図で示されている。図示したようにこのアーキテクチャは二重システムバス12、14、二つのシステムバス間に接続された二つの二重ポート付きシステムメモリモジュール16、18、システムバス12に接続された二つのプロセッサモジュール20、22、およびシステムバス14に接続された二つのプロセッサモジュール24、26を含む。これらシステムバス間にはさらにマイクロチャンネルインターフェースモジュール28、30が接続されている。

【0017】インターフェースモジュール28はシステムバス12、14と一次マイクロチャンネル入出力バス32との間の接続を与える。バス32にはいろいろのマイクロチャンネルバスマスターバスユニット34、36、38、40が接続されている。インターフェースモジュール30はシステムバス12、14と二次マイクロチャンネル入出力バス42上に駐在するバスユニット44、46、48との間の接続を与える。

【0018】以下の議論はマイクロチャンネルインターフェースモジュール28およびマイクロチャンネル入出力バス32の構造およびオペレーションに関する。マイクロチャンネルモジュール30およびマイクロチャンネル入出力バス42の構造およびオペレーションはモジュール28およびバス32にそれぞれ同じである。

【0019】マイクロチャンネルインターフェースモジュール28内にあるアドレス指定および調停論理回路は図2に示す。このインターフェースモジュールは図2に示すものに加えて追加の論理回路を含むが、それはこの議論を簡単にするため、省略する。省略した論理回路は本発明の理解に必要なではない。

【0020】図2に示す論理回路ブロックは調停器52（マイクロチャンネルインターフェース調停器）を含む。これはマイクロチャンネル入出力バス32調停信号ARB（3:0）を感知し、駆動すると共に、調停/賦与インジケータ信号ARBGNT Lを感知する。このマイクロチャンネルインターフェース調停器は、入出力バスへのアクセスを求めるシステムバスマスターのために、そのリクエスト期間中、入出力バス32の制御を求める調停を行わなければならない。マイクロチャンネル調停器52もまたシステムリソースへのアクセスを要求するマイクロチャンネルバスマスターのためにシステムバス調停およびサイクル発生を行う。

【0021】システムバスが開始したサイクルがマイク

ロチャンネル入出力バスへ伝播する間に利用される論理回路素子にはラッチ54が含まれるが、このラッチ回路54はアドレス、アドレスパリティおよびシステムバス12から受信されるバスオペレーション信号すなわちS B A (32:0)、またはシステム14から受信する信号S B B (31:0)をラッチ留めするのに使用される。ラッチ54の出力は、現在のサイクルがマイクロチャンネルバスに指向されているか否かを検出する復号器56に与えられ、またシステムバススレーブ (system bus slave module) モジュール58のための開始信号および復号されたアドレス信号を発生する。

【0022】システムバススレーブモジュール58は入出力バス32に与えられるシステムバスアドレス情報の多重化を制御し、システムバスデータ転送アクティビティを組織化し、マイクロチャンネルバスマスターモジュール60の開始を制御する。モジュール58から開始信号を受信すると、マイクロチャンネルバスマスターモジュール60は、マイクロチャンネルアーキテクチャの仕様に基づいてマイクロチャンネル入出力バス32上にサイクルを発生し、マイクロチャンネル入出力バスデータ転送アクティビティを組織化する。

【0023】マイクロチャンネル入出力バスにより開始されたサイクルがシステムバスへ伝播する期間に利用される論理回路素子には、ラッチ64、復号器66、マイクロチャンネルスレーブモジュール69、S B マスターモジュール70、およびアドレスF I F O 74が含まれる。マイクロチャンネルインターフェースモジュール28がマイクロチャンネル入出力バス32上のスレーブであるときは、マイクロチャンネルアドレスM C A (31:0)はラッチ64内に保持されて復号器66への伝播を阻止される。復号器66はシステムバスに指向されたマイクロチャンネルサイクルを復号することと、システムバスが指向したサイクルが分離されて書き込みボスティングならびにF I F O 74中へのアドレス情報の先取り読み取りを許可するか否かを決定することとに責任がある。

【0024】マイクロチャンネルスレーブモジュール68は現アドレスをラッチするため、復号器66からマイクロチャンネルバス信号を受信し、選択されたシステムバスへのマイクロチャンネルサイクルの伝播を開始し、マイクロチャンネル入出力バスデータ転送アクティビティ

ィーを組織化する。

【0025】システムバスマスターモジュールはマイクロチャンネルバスマスターのためにシステムバスをリクエストし、マイクロチャンネルインターフェースモジュール28がシステムバス12または14のいずれか一方の上のシステムバスマスターであるときはシステム信号を制御する。システムバスマスターモジュール70はアドレスF I F O 74と通信し、システムバス転送アクティビティを組織化する。

【0026】インターフェースモジュール28は、システムバスおよび入出力バス32の間のバッファリングおよび復号を与える。インターフェースモジュールにおけるバッファは、システムバスおよび入出力バス32の両方の上のバスマスターがそれらのピーク速度で動作することができるようにすることにより、全システム帯域を稼働化する。

【0027】システムバスをマイクロチャンネル入出力バスから分離することによって、すべてのバス上での性能をより高くし、複数バスの同時作動を可能にする。各バスはバス上に駐在するバスユニット間のトランザクションを行うのに独立に動作する。バス間の接続は、たとえばプロセッサ22がマイクロチャンネルバスユニット36へのアクセスを要求するとき、あるいはあるバスユニット入出力バス32上に駐在するあるバスユニットがシステムメモリへのアクセスを要求するとき等、一つのバス上のあるバスマスターが別のバス上に駐在するリソースへのアクセスを要求するときのみ、構築される。

【0028】システムバス上のあるバスマスターがビジー入出力バス32上のバスユニットへのアクセスを要求するときいずれかのシステムバス上でのデッドロックを防止するため、インターフェースモジュール28は再試行信号を発生する論理回路を含む。この再試行信号はリクエスト中のバスマスターにシステムバスを開放させ、入出力バス32が利用可能となったときに再びシステムバスおよび入出力バスの制御のための調停を行う。

【0029】システムバスについての調停はシステムバス調停器 (図示して無し) により制御される。以下に掲げるのは、システムバスの仕様を組織化するためシステムバス調停器、マイクロチャンネルインターフェース、およびシステムバス上に駐在する他のバスユニットにより駆動される信号の例である。

信号	説明
ADS L	アドレスストローブ: バスサイクルの開始を示す。
BRDY L	バーストレディー: 読み取りサイクルで、現システムバススレーブが有効な読み取りデータをシステムバス上に駆動したことを示すため、そのスレーブにより駆動される。書き込みサイクルでは現行サイクルを終了するため当該スレーブにより駆動される。
BLAST L	バーストラスト: バーストバスシーケンスの終了をスレーブに示すため、マスターによりアクティブ化され

	る。
BUSBUSY L	バスビジー：システムバスが使用中であることを示すため、システムバス調停器により駆動される。
PRQ L	システムバスの所有権をリクエストするため、バスマスターまたはマイクロチャンネルインターフェースにより低に駆動される。
PACK L	システムバスを求めるそのリクエストが賦与されたことを当該バスマスターに示すため、システムバス調停器により低に駆動される。

【0030】図2は上述のアクティブ-低信号が各々頭 10\*—スモジュール28は、以下に説明する再試行信号SAにSA またはSB を付けて二重になっていることを MCRETRY LとSB MCRETRY L、およびマイクロチャンネルバスビジー信号MC BUSY Lが発生する。

SA が付く信号はシステムバス12に関連し、  
SBが付く信号はシステムバス14に関連する。システムバス上のデッドロックを防止するため、インターフェ\*

信号	説明
SA MCRETRY L	マイクロチャンネルインターフェース再試行：ビジーマイクロチャンネル入出力バスへ試みられたサイクルを終了するため、マイクロチャンネルインターフェースにより駆動される。
SB MCRETRY L	マイクロチャンネルインターフェース再試行：ビジーマイクロチャンネル入出力バスへ試みられたサイクルを終了するため、マイクロチャンネルインターフェースにより駆動される。
MC BUSY L	マイクロチャンネルバスビジー：マイクロチャンネルバスは新たなバスマスターにとって所有可能でないことを示すため、マイクロチャンネルインターフェースにより駆動される。

【0031】適用可能なMCRETRY L信号がマイクロチャンネルインターフェースにより低に駆動されるのは、ビジー状態時にシステムバスマスターがマイクロチャンネル入出力バスへのアクセスをリクエストする場合である。この信号にตอบสนองして、リクエストをしているシステムバスマスターはそのシステムバスを開放し、システムバス調停器によりアクセスが賦与されるまで、システムバスを求める再調停を求める。アクティブMCRETRY L信号を感知すると、システムバス調停器は、マイクロチャンネル入出力バスの所有をリクエストしているシステムバスマスターにシステムバスの制御を与えることを許さないが、これはMCRETRY L信号を高に駆動することによりマイクロチャンネル入出力

バスが利用可能となったとの信号をマイクロチャンネルインターフェースがシステムバス調停器に送るまで続く。MC BUSY Lは、マイクロチャンネル入出力バスが新たなバスマスターにとって所有できないとき、マイクロチャンネルインターフェースにより低に駆動される。

【0032】図3はプロセッサ22が利用不可能な入出力バス32へのアクセスを求めているときに起きる事象のシーケンスを例示するタイミング図である。MC BUSY Lの開始状態は低で、マイクロチャンネル入出力バス32が新たなバスマスターにとっては利用可能でないことを示す。図3に示す再試行シーケンスに対するタイミングは以下のように定めた。

クロック2-3	プロセッサ22がシステムバス12を得るための調停を求める。PRQ Lはシステムバスをリクエストするためプロセッサ22により低に駆動される。PACK Lはプロセッサ22にバス所有権を賦与するバス調停器により低に駆動される。
クロック4	プロセッサ22がマイクロチャンネルインターフェース28をアドレス指定する。
クロック6	マイクロチャンネル28がBRDY Lの代わりにSA MCRETRY Lを主張する。
クロック7	プロセッサ22がSA MCRETRY Lを検出し、バス

- 12を開放する。
- クロック8 プロセッサ22が再びバス12の制御をリクエストする。
- クロック9-13 システムバス調停器はプロセッサ22によるバス12のリクエストを無視する。調停器は信号SA MCRETRY Lを受信することにより、もしもバス12の制御を与えるとプロセッサ22がインターフェース28をアドレス指定することを知る。プロセッサ20およびインターフェースモジュール28、30はメモリモジュール16、18またはバス上に駐在する他のデバイスへのアクセスのため、バス12の制御を許可される。
- クロック14 入出力バス32がもはやビジーでなくなる。インターフェース28は（高に駆動された）信号MC BUSY Lを否定する。
- クロック15 システムバス調停器はMC BUSY Lを検出し、PACK Lを主張する。
- クロック16-20 プロセッサ22が成功裡にインターフェース28にアクセスする。

## 【0033】

【効果】以上の説明から、第二の利用不可能なバスに指向されたトランザクションを含む第一バス上のデッドロックを除去するための簡単な解決法が本発明により与えられることが理解されよう。そのための新規有用な多重バス間インターフェースが本発明により与えられた。それらのインターフェースはビジーバスが別のバス上でデッドロックを招来することを防止する。

【0034】また論理回路がコンピューター内多重バス間のトランザクションを組織化するビジー信号および再試行信号を発生するため、バス上でデッドロックが防止される。

## 【図面の簡単な説明】

【図1】コンピューターシステムに供するスケーラブル

システムアーキテクチャのブロック線図である。

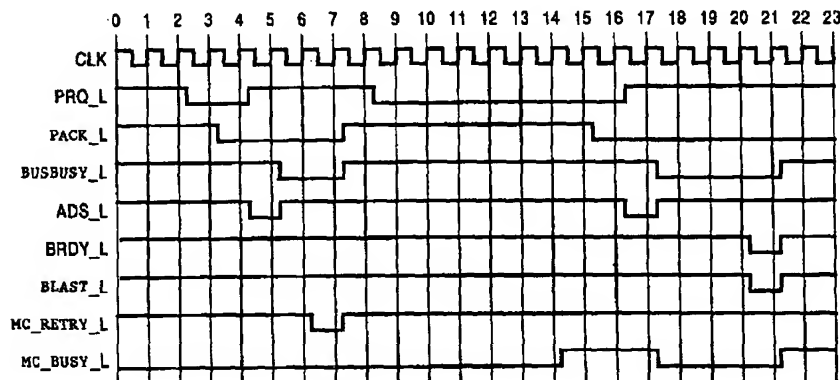
【図2】図1のマイクロチャンネルインターフェースモジュール28内に含まれるアドレス指定および調停論理回路のブロック線図である。

【図3】本発明に基づく再試行方法のタイミング図である。

## 【符号の説明】

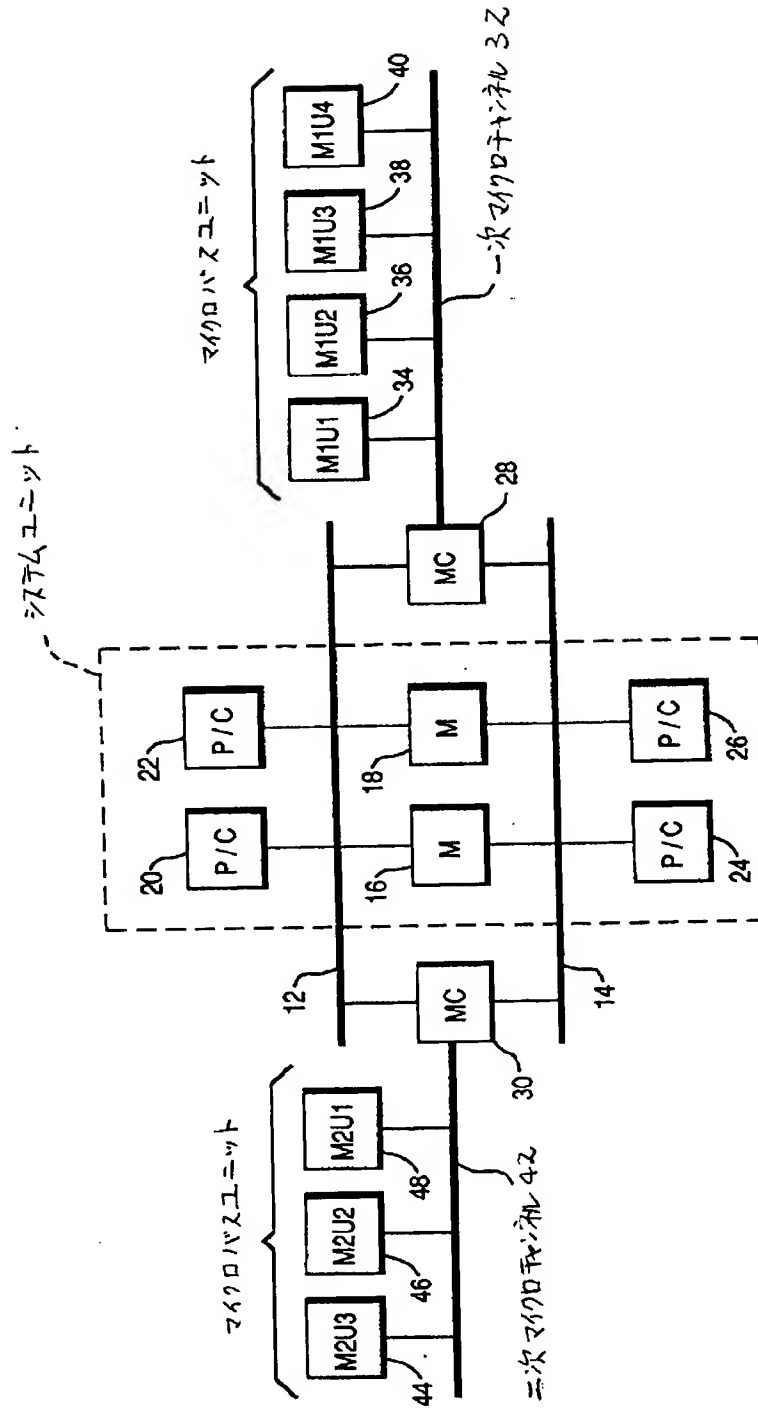
- 12、14 システムバス  
 20、22、24、26 プロセッサモジュール  
 28、30 マイクロチャンネルインターフェースモジュール  
 32 一次マイクロチャンネル  
 34-40 マイクロバスユニット  
 42 二次マイクロチャンネル

【図3】

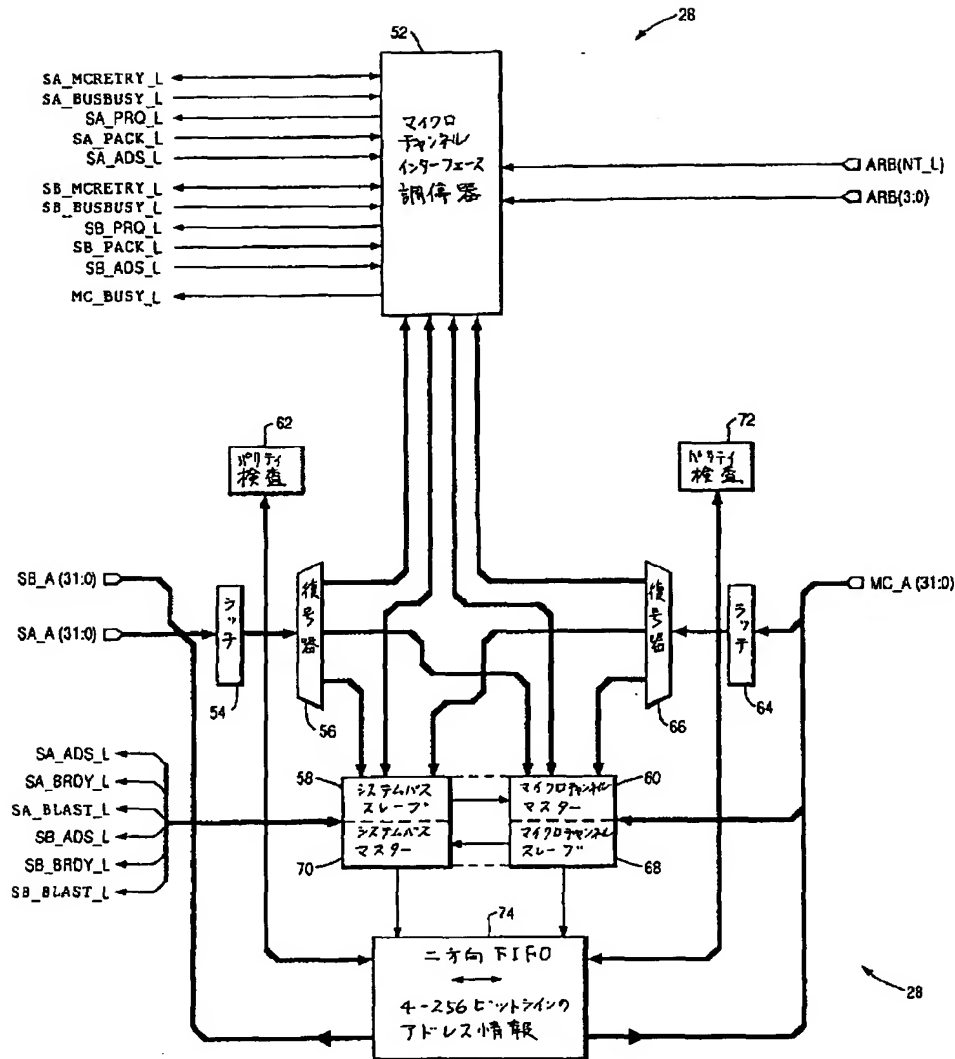


(7)

【図1】



【図2】



フロントページの続き

(72)発明者 エドワード エイ. マクドナルド  
アメリカ合衆国 29072 サウス カロラ  
イナ、レキシントン、メドウ ウッド ド  
ライブ 164

(72)発明者 ジーン エフ. ヤング  
アメリカ合衆国 29073 サウス カロラ  
イナ、レキシントン、スウィート スプリ  
ングス ロード 3412

(72)発明者 クレイグ エイ. ウォールラス  
アメリカ合衆国 29642 サウス カロラ  
イナ、イーズリ、フェアファックス ロード 205

(72)発明者 ジェイムズ エム. オティンガー  
アメリカ合衆国 29210 サウス カロラ  
イナ、コロンビア、ズィマールクレスト  
716、アパートメント 3803



(72)発明者 マーティー デー, ミラー  
アメリカ合衆国 54016 ウィチタ、ハド  
ウオン、1020 ハイウェイ 35